

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 4 月 29 日 (29.04.2004)

PCT

(10) 国際公開番号  
WO 2004/036651 A1(51) 国際特許分類<sup>7</sup>: H01L 27/10, 27/115, 29/78

(21) 国際出願番号: PCT/JP2003/010456

(22) 国際出願日: 2003 年 8 月 19 日 (19.08.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
 特願2002-238703 2002 年 8 月 20 日 (20.08.2002) JP  
 特願2003-74052 2003 年 3 月 18 日 (18.03.2003) JP  
 特願2003-288543 2003 年 8 月 7 日 (07.08.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 独立  
 行政法人産業技術総合研究所 (NATIONAL INSTI-  
 TUTE OF ADVANCED INDUSTRIAL SCIENCE AND  
 TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区  
 霞が関 1 丁目 3 番 1 号 Tokyo (JP).

(72) 発明者; および  
 (75) 発明者/出願人 (米国についてのみ): 酒井 滋樹  
 (SAKAI,Shigeki) [JP/JP]; 〒305-8568 茨城県つくば市

梅園 1-1-1 中央第 2 独立行政法人産業技術総合  
 研究所内 Ibaraki (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
 BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,  
 DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
 ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,  
 LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO,  
 NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,  
 SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,  
 VN, YU, ZA, ZM, ZW.

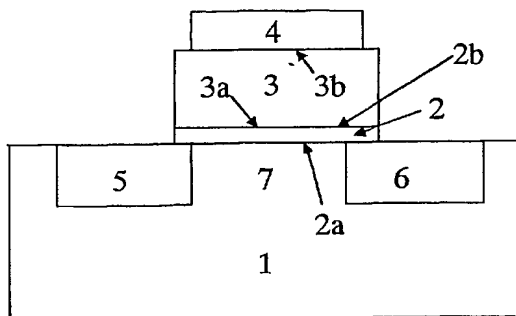
(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,  
 SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,  
 AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
 GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),  
 OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
 ML, MR, NE, SN, TD, TG).

添付公開書類:  
 — 国際調査報告書

2 文字コード及び他の略語については、定期発行される  
 各 PCT ガゼットの巻頭に掲載されている「コードと略語  
 のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR FERROELECTRIC STORAGE DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体強誘電体記憶デバイスとその製造方法



(57) Abstract: Conventionally MFIS transistors have  
 involve a problem that data written in an MFIS transistor  
 disappears in terms of memory transistor operation in  
 at longest one day after the data is written. The reason is  
 mainly because charge is accumulated near the interface  
 between a ferroelectric body and a buffer layer and  
 consequently the electric polarization that the ferroelectric  
 body memorizes is shielded since the leakage currents of  
 the buffer layer and the ferroelectric body are large, and  
 as a result the electric polarization of the ferroelectric  
 body cannot control the electric conduction between  
 the source and drain of the transistor. According to the  
 invention, an insulating buffer layer (2) is formed of  
 $\text{HfO}_{2+x}$  or  $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$ . Hence the leakage currents of  
 the insulating buffer layer (2) and the ferroelectric body

(3) can be reduced to low levels, and a memory transistor having a truly adequately long data holding time is realized.

(続葉有)

WO 2004/036651 A1



---

(57) 要約:

従来のMFISトランジスタは、データを書き込み後、長くても1日程度でメモリトランジスタ動作としてデータが消えてしまうという問題を抱えている。これは主として、バッファ層及び強誘電体のリーク電流が大きいため、強誘電体が記憶した電気分極を遮蔽するように強誘電体とバッファ層の界面付近に電荷が蓄積されトランジスタのソースドレイン間の電気伝導を強誘電体の電気分極が制御できなくなるためである。本願発明においては、絶縁体バッファ層2を $\text{HfO}_{2+\text{H}}$ あるいは $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ で構成することにより、絶縁体バッファ層2と強誘電体3の両方のリーク電流を低く押さえることができ、データ保持時間が真に充分長いメモリトランジスタが実現する。

## 明細書

## 半導体強誘電体記憶デバイスとその製造方法

## 5 技術分野

本発明は、半導体強誘電体記憶デバイスおよびその製造方法に関し、特に、ゲート絶縁膜に強誘電体膜を含むトランジスタをメモリセルとする半導体強誘電体記憶デバイスおよびその製造方法に関するものである。

## 10 背景技術

ゲート絶縁膜に強誘電体を用いたトランジスタは、データ記憶、データの読み出し、書き込みが単一のトランジスタで行われるため、次世代の高集積メモリとして期待されている。このトランジスタは、強誘電体の電気分極の向きに対応してトランジスタの電気伝導が制御される。実際には、半導体と強誘電体の両方の特徴を損なわないように、その間に絶縁体バッファ層を挿入した構造が研究されている（例えば、特許文献 1、2 参照）。この構造のトランジスタは、強誘電体に接する金属ゲート電極を含めて、MFIS(Metal-Ferroelectrics-Insulator-Semiconductor)トランジスタと呼ばれている。

このMFISトランジスタは、原理的には（１）電気分極を利用しているため、電源を切ってもデータが消失しない、（２）読み出し動作はトランジスタのソースドレイン間の電気伝導を見るだけでよく、読み出し動作の後でもデータの内容は破壊されない、（３）データの読み出し、書き込み速度がDRAM程度に高速であるという特徴を持つことが期待されている。

しかしながら、従来のMFISトランジスタは、データを書き込み後、長くて 1 日程度でメモリトランジスタ動作として見るとデータが消えてしまうという問題を抱えていた（例えば、非特許文献 1、2 参照）。

〔特許文献 1〕

特開2001-291841号公報

〔特許文献 2〕

特開2002-353420号公報

〔非特許文献1〕

S. Migita et al., Integrated Ferroelectrics Vol. 40, pp.135-143,

2001

5      〔非特許文献2〕

右田真司他、電子情報通信学会論文誌 Vol.J85-C No.1 (2002年1月号)

pp.14-22

#### 発明の開示

10      上述したように、従来のMFISトランジスタでは、実用化が可能である程度の期間データを保持していることができなかった。これは主として、バッファ層及び強誘電体のリーク電流が大きいため、強誘電体とバッファ層の界面付近に電荷が蓄積されこの電荷が強誘電体中の電気分極を遮蔽し、トランジスタのソースドレイン間の電気伝導が強誘電体の電気分極によって制御できなくなるためである。

15      また、強誘電体にデータを書き込むときにMFISに電圧を加える訳だが、バッファ層の比誘電率が小さいと電圧の大部分がバッファ層の方に加わるという問題もあった。

本願発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、実用化が可能である程度の期間データを保持することのできるMFIS型メモリデバイスを提供できるようにすることである。

20

上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板または半導体領域上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム・アルミニウム酸化物を主成分とする絶縁膜であることを特徴とする半導体強誘電体記憶デバイス、が提供される。

25

そして、好ましくは、前記絶縁体バッファ層のハフニウム元素とアルミニウム元素の構成比 $\text{Hf}_{1-x} : \text{Al}_{2x}$ を表す $x$ の範囲が $0 < x < 0.7$ である。

また、より好ましくは、前記絶縁体バッファ層は、窒素元素を添加物として含

む。

また、上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板または半導体領域上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム酸化物を主成分とする絶縁膜であり、かつ、窒素元素を添加物として含むことを特徴とする半導体強誘電体記憶デバイス、が提供される。

そして、好ましくは、窒素元素の含有量は $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲にある。

- 10      また、より好ましくは、前記半導体基板と前記絶縁体バッファ層との間に、酸化膜、窒化膜または酸窒化膜が挿入される。

また、上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板または半導体領域上に、ハフニウム・アルミニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスの製造方法であって、半導体基板表面処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含むことを特徴とする半導体強誘電体記憶デバイスの製造方法、が提供される。

- 15      そして、好ましくは、前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中  
20      にて行う。

- また、上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板または半導体領域上に、ハフニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスの製造方法であって、半導体表面  
25      処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含み、前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中にて行うことを特徴とする半導体強誘電体記憶デバイスの製造方法、が提供される。

そして、好ましくは、前記窒素ガスを含む雰囲気は、窒素と酸素のモル比が $1:1 \sim 1:10^{-7}$ の混合ガスの雰囲気である。

また、より好ましくは、強誘電体膜形成の間に強誘電体膜形成のための真空容器の中、強誘電体膜形成後強誘電体膜形成のための真空容器の中、強誘電体膜形成後ゲート電極形成前にアニール炉の中またはゲート電極形成後アニール炉の中のいずれかのタイミングおよび環境において、少なくとも1回熱処理を行う。

- 5     本願発明によれば、データの書き込みと読み出しを1個のトランジスタサイズにより実現することができ、しかも書き込んだデータは、実用上十分な長時間消失することがない。そして、読み出し後も、データの内容は、破壊されない。本願発明に係るデバイスは、広範囲の用途の半導体メモリ、さらには半導体論理回路中の安定な一時記憶デバイス等、多様な回路の中で用いることができる。

10

#### 図面の簡単な説明

第1図は、本願発明に係るトランジスタの概観説明図である。

第2図は、第1実施例のゲート電圧とドレイン電流の関係図である。

第3図は、第1実施例によるトランジスタにおけるドレイン電流の経時変化図

15

第4図は、第2実施例のゲート電圧とドレイン電流の関係図である。

第5図は、第2実施例によるトランジスタにおけるドレイン電流の経時変化図である。

第6図は、第1実施例の掃引ゲート電圧とメモリウィンドウ幅の関係を示す図

20

第7図は、第1実施例のゲート電圧とゲートリーク電流との関係を示す図である。

第8図は、第1実施例の書き換え繰り返し回数とドレイン電流との関係を示す図である。

- 25     第9図は、第1実施例のゲート電圧パルス幅とドレイン電流との関係を示す図である。

第10図は、第2実施例のゲート電圧とゲートリーク電流との関係を示す図である。

第11図は、第1～第7実施例による $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ の組成 $x$ とメモリウィンド

ウ幅との関係を示す図である。

第12図は、第5実施例によるトランジスタにおけるドレイン電流の経時変化図である。

第13図は、第1、8実施例による酸素モル比（対窒素）とメモリウィンドウ幅との関係を示す図である。

第14図は、第9実施例によるトランジスタにおけるドレイン電流の経時変化図である。

第15図は、第10実施例によるトランジスタにおけるドレイン電流の経時変化図である。

10

発明を実施するための最良の形態

第1図は、本願発明に係る半導体強誘電体記憶デバイスの概観図である。本願発明に係るデバイスは、まず半導体基板1を用意する。ここで、半導体基板1は、シリコンであってもゲルマニウムであってもシリコンとゲルマニウムの混晶であつても、あるいはSiCやGaAsであつてもよく、その種類を限定しない。さらに、半導体基板に代えてSOI(silicon on insulator)基板を用いてよい。

半導体基板1の一つの面に絶縁体バッファ層2の面2aを接続する。絶縁体バッファ層2としてハフニウムを構成元素とする酸化物 $\text{HfO}_{2+u}$ あるいはハフニウムとアルミニウムを構成元素とする酸化物 $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ を形成する。xの範囲は、熱的安定性、化学的安定性の強化のために、また大きい比誘電率を持つために、 $0 < x < 0.7$ であると特によい。yの範囲は、良好な絶縁性を示す点で $-0.2 < y < 0.2$ であると特によい。また、uの範囲も良好な絶縁性を示す点で $-0.2 < u < 0.2$ であると特によい。 $\text{HfO}_{2+u}$ と $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ の厚さtは、データ書き込みすなわち電気分極状態の決定のための印加電圧の絶対値を小さくするために、 $4 \text{ nm} < t < 40 \text{ nm}$ の範囲にあると特によい。

絶縁体バッファ層2のもう一方の面2bに強誘電体膜3の面3aを接続する。強誘電体の種類を限定するものではないが、代表的なものとして、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta}_{1-z}\text{Nb}_z)_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Bi}_{4-z}\text{La}_z\text{Ti}_3\text{O}_{12}$ 、 $\text{PbZr}_{1-z}\text{Ti}_z\text{O}_3$ 、 $\text{YMnO}_3$ がある。強誘電体膜の厚さdは、データ書き込みすなわち電気分極状態の決定のための印加

電圧の絶対値を小さくするために、 $20 \text{ nm} < d < 600 \text{ nm}$ の範囲にあると特によい。

強誘電体膜 3 のもう一方の面 3b にゲート電極 4 を接続する。ゲート電極 4 は、導電性のよい材料であれば Au や Pt ような金属でも、TiN や TaN のような窒化物でも  
5  $\text{IrO}_2$  や  $\text{RuO}_2$  のような酸化物でも何でもよい。また、Pt/TiN/Ti、 $\text{IrO}_2/\text{Ir}$  等の積層膜であつてもよい。

半導体基板 1 は、ソース領域 5 とドレイン領域 6 を持つ。ソース領域 5 とドレイン領域 6 が n 型であれば、ソース領域 5 とドレイン領域 6 を除く領域 7 は p 型となる。半導体基板 1 の中のソース領域 5 とドレイン領域 6 が n 型であれば、  
10 ソース領域 5 とドレイン領域 6 を除く領域 7 は p 型となる。

#### [作用]

データを記憶する源は、強誘電体膜 3 の電気分極であり、強誘電性を発現するためには、薄膜形成時もしくはその後の熱処理工程で温度を上げて強誘電体膜 3 を結晶の状態にする必要がある。この結晶化温度は、通常  $650^\circ\text{C} \sim 950^\circ\text{C}$  である。  
15 一般に、この温度が高い方が結晶性がよく、強誘電性もよい。結晶化工程の時間は、典型的には 1 時間である。シリコン中のソース領域とドレイン領域を形成するためには、不純物の活性化のため低くても  $1050^\circ\text{C}$  程度の短時間（典型的には 30 秒）の熱処理が必要である。絶縁体バッファ層 2 は、この強誘電体膜 3 の結晶化のための高温工程を必ず経ることになる。標準的な作製プロセスではソース領域  
20 とドレイン領域を形成するための熱処理工程も経ることになる。従って、従来は、絶縁体バッファ層 2 も熱処理工程で結晶化してしまい、結晶粒と結晶粒の間の粒界を通過してリーク電流が流れた。この実施の形態の  $\text{HfO}_{2+y}$  あるいは  $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+y}$  では、上記強誘電体結晶化の熱工程でも上記不純物活性化の熱工程でも絶縁体バッファ層 2 は、結晶化せず、アモルファスの状態を維持している。従って、絶縁  
25 体バッファ層 2 のリーク電流を低く押さえることができる。アモルファスの状態の絶縁体バッファ層 2 の表面は、結晶化したそれに比較して平坦である。アモルファスの状態の絶縁体バッファ層 2 の表面からは強誘電体膜 3 の結晶成長のための種結晶ができ難く、強誘電体膜 3 の結晶粒が小さく、薄膜はち密になり、強誘電体膜 3 のリーク電流も低く押さえることができる。一方、絶縁体バッファ層 2



が結晶化してしまうと結晶粒と粒界により表面の凹凸が増す。この結晶粒には強誘電体膜 3 の種結晶ができやすく強誘電体膜 3 の結晶粒が大きくなり強誘電体膜 3 のリーク電流も大きくなる。このように  $\text{HfO}_{2+y}$  あるいは  $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  で絶縁体バッファ層 2 を構成すると、絶縁体バッファ層 2 と強誘電体膜 3 の両方のリーク電流を低く押さえることができ、データ保持時間が真に充分長いメモリトランジスタが実現する。  $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  は、熱処理工程に対してアモルファス状態を維持する温度が  $\text{HfO}_{2+y}$  よりさらに高まるので、結晶化温度の高い強誘電体を強誘電体膜 3 に用いるときに特によい。

#### [製造方法]

- 10 次に製造方法について述べる。言うまでもなく、本発明の製造方法は以下の方法に限定されるものではない。

絶縁体バッファ層 2 の形成法は、薄膜の形成法であれば何でもよく物理的気相成長法では、パルスレーザ堆積法（レーザアブレーション法ともいう）、スパッタリング法、蒸着法などが有効であり、化学成長法では MOCVD (metal organic chemical vapor deposition) 法、MOD (metal organic decomposition: 有機金属分解) 法、ソルゲル法などがある。

強誘電体膜 3 およびゲート電極 4 形成法も、薄膜の形成法であれば何でもよく物理的気相成長法で、パルスレーザ堆積法、スパッタリング法、蒸着法などが有効であり、化学成長法は、MOCVD 法、MOD 法、ソルゲル法などがある。

- 20 ここで、半導体基板 1 として Si を用い、絶縁体バッファ層 2 と強誘電体膜 3 の形成法としてパルスレーザ堆積法を用いた製造方法の例を述べる。

#### 1. Si 表面処理

標準的な表面洗浄法で Si 表面を洗浄後、希フッ酸あるいは緩衝フッ酸で表面の残留酸化層を除去する。さらに、故意に 1 乃至数分子層程度の酸化膜、窒化膜、酸窒化膜の形成等の表面処理をしてもよい。

#### 2. 絶縁体バッファ層 2 の形成

パルスレーザ堆積法で形成する。  $\text{SiO}_2$  のような小さい誘電率を持つ酸化層の形成を抑えるために形成中 Si の温度は低温（室温～550℃）の条件化におく。絶縁体バッファ層 2 がハフニウムとアルミニウムを構成元素とする酸化物である場

- 合は、ターゲット組成は、 $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  とする。あるいは、 $\text{HfO}_{2+u}$  と  $\text{Al}_2\text{O}_3$  を用いてよい。この場合、両ターゲットを同時に蒸発(スパッタ)させてもよいが、両ターゲットを交互に1ないし複数回ずつ蒸発させ、熱処理により  $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  を合成するようにしてもよい。 $\text{HfO}_{2+u}$  と  $\text{Al}_2\text{O}_3$  を交互に堆積するとき、 $\text{HfO}_{2+u}$  を先に堆積することが特によい。絶縁バッファ層2がハフニウムを構成元素とする酸化物である場合は、ターゲット組成は、 $\text{HfO}_{2+u}$  とする。絶縁体バッファ層2は、酸化物であるので、形成中、酸素ガスを導入する。Siと絶縁体バッファ層2の界面への低誘電率酸化層の形成を抑制し小さくするため酸素ガスに窒素ガスを混合すると特によい。窒素は、絶縁体バッファ層2の中の構造欠陥を低減させ、リーク電流を小さくすることにも役立つ。酸素と窒素の混合ガスを用いる場合、混合モル比は、 $\text{N}:\text{O}=1:1\sim 1:10^{-7}$  である。また、 $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  と  $\text{HfO}_{2+u}$  のターゲット自体が酸素を含み、Hf原子とAl原子は酸化物を容易に形成するので、絶縁体バッファ層2形成中は窒素ガスだけの導入でもよい。その場合、混合モル比は窒素ガス中に含まれる残留酸素量によって決まる。典型的には残留酸素による混合モル比は
- 15  $\text{N}:\text{O}=1:10^{-5}\sim 1:10^{-7}$  であるが、酸素ガスの窒素ガスに対するモル比はそれより小さくてもよい。

- 窒素ガスを含む雰囲気中で成膜を行ったことにより絶縁体バッファ層には窒素元素が添加物として添加されることになる。それにより上記の効果がもたらされる。窒素元素の含有量は  $1 \times 10^{19} \text{ cm}^{-3}$  から  $1 \times 10^{22} \text{ cm}^{-3}$  の範囲とするのがよい。
- 20 その範囲は  $5 \times 10^{19} \text{ cm}^{-3}$  から  $5 \times 10^{21} \text{ cm}^{-3}$  とするのが特によい。

### 3. 強誘電体膜3の形成

- パルスレーザ堆積法で形成する。上記絶縁体バッファ層2の形成と同じ薄膜形成のための真空容器に半導体基板1であるSiをおいて容器からSiを出すことなく連続してパルスレーザ堆積法で絶縁体バッファ層2と強誘電体膜3を形成すると
- 25 、絶縁体バッファ層2と強誘電体膜3の界面が清浄に保たれ電気特性も優れるので特によい。強誘電体膜3形成中は、酸素ガスを導入する。

### 4. ゲート電極の形成

Ptを例に挙げると、電子ビーム加熱の蒸着法あるいはスパッタリング法、パルスレーザ堆積法でPtゲート電極を形成する。

## 5. 熱処理工程

強誘電体膜 3 の結晶化のための熱処理を行う。熱処理のタイミングは、以下の 4 種のケースがあるが、これらの内少なくとも 1 つのケースを実行する。

- (1) 上記工程 3 の薄膜形成中の熱処理。(2) 工程 3 の薄膜形成後に薄膜形成のための真空容器内での熱処理。(3) 工程 3 の薄膜形成後工程 4 の前にアニール炉での熱処理。(4) 工程 4 の後にアニール炉での熱処理。

強誘電体膜 3 が  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  である場合、結晶化のための熱処理温度は  $650 \sim 900^\circ\text{C}$  である。

- この結晶化のための熱処理工程において、シリコン基板の表面には酸素が供給されることにより、基板と絶縁体バッファ層との界面、あるいは、基板と酸化膜などの表面処理膜との界面にはシリコン酸化膜が成長することがある。本発明によれば、絶縁体バッファ層に窒素元素が添加されていることにより酸素の移動が抑制されるため、シリコン酸化膜の成長が抑制される。同時に、熱処理による強誘電体膜の還元が抑制されることも期待される。

## 15 [第 1 実施例]

用いた材料と厚さは、以下の通りである。

半導体基板 1 : Si

絶縁体バッファ層 2 :  $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$ 、 $x=0.25$ 、 $y=0$ 、厚さ 10nm

強誘電体膜 3 :  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、厚さ 400nm

- 20 ゲート電極 4 : Pt、厚さ 200nm、ゲート長 (ソース領域からドレイン領域に向かった長さ)  $10\mu\text{m}$

ソース領域 5 及びドレイン領域 6 の導電の型 : n型

領域 7 の導電の型 : p型

- 25 絶縁体バッファ層 2 である  $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$  ( $x=0.25$ 、 $y=0$ ) は、パルスレーザ堆積法で形成した。用いたレーザは KrF エキシマーレーザである。レーザエネルギーは、1 パルス当たり 250mJ、パルスの繰り返し周波数 2Hz、堆積時間 270 秒である。基板温度  $200^\circ\text{C}$  である。導入ガスは、窒素と酸素の混合ガスであり、そのモル比は、 $\text{N}:\text{O}=1:10^{-6}$  である。この導入ガスによる堆積室の圧力は、0.1Torr ( $13.33\text{Pa}$ ) である。強誘電体膜 3 に相当する  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  も同じくパルスレーザ堆積

法で形成した。レーザの種類とエネルギーは、上記絶縁体バッファ層2の場合と同じである。パルスの繰り返し周波数5Hz、堆積時間34分である。基板温度400℃である。導入ガスは、酸素である。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。ゲート電極4としてPtを電子ビーム蒸着法で形成した。ゲート電極形成後 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を結晶化させるため、大気圧酸素中800℃で1時間熱処理した。半導体デバイス作製工程で用いるフォトリソグラフィ、イオンビームエッチング技術等を用いてトランジスタを作製した。

次に、上記第1実施例により作成したトランジスタの特性を示す。第2図は、ゲート電極4にゲート電圧 $V_g$ を加えたときのドレイン電流 $I_D$ の結果を示す。ゲート電圧を6Vから-6Vへ連続的に変化させ、その後-6Vから6Vへ変化させた。ドレイン電流は、強誘電体特有の性質によって第2図のように変化した。ゲート電圧の掃引に対して矢印に示すようにドレイン電流は変化した。第2図中の2点で代表されるように記憶した電気分極の向きに応じてトランジスタは、オン状態とオフ状態の2状態を取ることができる。この2点にゲート電圧を固定し、ドレイン電流のオン状態とオフ状態を各々長期間測定した結果が、第3図である。この第3図から分かるように、両状態が極めて安定に持続していることが分かる。

#### [第2実施例]

用いた材料と厚さは、以下の通りである。

- 半導体基板1 : Si
- 20 絶縁体バッファ層2 :  $\text{HfO}_{2+\text{u}}$ 、 $u=0$ 、厚さ10nm
- 強誘電体膜3 :  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、厚さ400nm
- ゲート電極4 : Pt、厚さ200nm、ゲート長（ソース領域からドレイン領域に向かった長さ）10 $\mu\text{m}$
- ソース領域5及びドレイン領域6の導電の型 : n型
- 25 領域7の導電の型 : p型

絶縁体バッファ層2である $\text{HfO}_{2+\text{u}}$  ( $u=0$ )は、パルスレーザ堆積法で形成した。用いたレーザはKrFエキシマーレーザである。レーザエネルギーは、1パルス当たり250mJ、パルスの繰り返し周波数2Hz、堆積時間270秒である。基板温度200℃である。導入ガスは、窒素と酸素の混合ガスであり、そのモル比は、 $\text{N}:\text{O}=1:10^{-6}$ 。

である。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。強誘電体膜 3 に相当する  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  も同じくパルスレーザ堆積法により形成した。レーザの種類とエネルギーは、上記絶縁体バッファ層 2 の場合と同じである。パルスの繰り返し周波数 5Hz、堆積時間 34 分である。基板温度 400°C である。導入ガス

5 は酸素である。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。ゲート電極 4 として Pt を電子ビーム蒸着法で形成した。ゲート電極形成後、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  を結晶化させるため、大気圧酸素中 800°C において 1 時間熱処理した。

次に、上記第 2 実施例におけるトランジスタの実験結果を示す。第 4 図は、ゲート電極 4 にゲート電圧  $V_g$  を加えたときのドレイン電流  $I_D$  の結果を示す。ゲート電圧を 8 V から -8 V へ連続的に変化させ、その後 -8 V から 8 V へ変化させた。ドレイン電流は強誘電体特有の性質によって図のように変化した。ゲート電圧の掃引に対して矢印に示すようにドレイン電流は変化した。図中の 2 点で代表されるように記憶した電気分極の向きに応じてトランジスタはオン状態とオフ状態の 2 状態を取ることができる。この 2 点にゲート電圧を固定し、ドレイン電流のオン状態とオフ状態を各々長期間測定した結果が、第 5 図である。この図から分かるように両状態が極めて安定に持続していることが分かる。

10

15

第 2 図でオン状態と記した点を含む  $0 < V_g < 3\text{V}$  の範囲の曲線とオフ状態と記した点を含む  $1.6\text{V} < V_g < 4.6\text{V}$  の範囲の曲線は概ね平行移動の関係にあり、この移動の幅の電圧をメモリウィンドウ幅と呼ぶ。このメモリウィンドウ幅は MFIS トランジスタのメモリ特性の 1 つの指標を与える。小さすぎると設定電圧の幅が小さくなるし、大きすぎるとデータを書き込むためのゲート電圧が大きくなる。第 2 図ではゲート電圧を  $\pm 6\text{V}$  変化させた。第 1 実施例に対して、このゲート電圧の変化の幅（掃引電圧）を変化させたときのメモリウィンドウ幅を第 6 図にまとめた。

20

ソース電極、ドレイン電極及び基板の電位を共通にし、ゲート電極の電位をそれより  $V_g$  だけ高くしたときの絶縁体バッファ層と強誘電体膜の直列体を流れる電流  $I_g$  を測定した。第 1 実施例に対する測定結果が第 7 図である。 $I_g$  は絶縁体バッファ層と強誘電体膜の直列体のリーク電流に相当する。 $V_g \leq \pm 6\text{V}$  で、 $5 \times 10^{-10}\text{A/cm}^2$  以下の  $I_g$  であり、非特許文献 2 の 20 ページ第 9 図 (b) に示される同じ電圧範囲

25

での $1 \times 10^{-8} \text{ A/cm}^2$ 以下と比較して、格段にリーク電流が抑制されている。

情報の書換え回数の試験を行った。ゲート電極に+8Vの電圧を500nsの間加えすなわちオン状態を作り、次に-8Vの電圧を500nsの間加えすなわちオフ状態を作る。これを1周期として $10^{12}$ 回まで繰り返した。第1実施例に対する試験結果が第5 8図である。図から分るように $10^{12}$ 回の繰り返し（情報書換えとしては $2 \times 10^{12}$ 回）後も、オン状態とオフ状態のドレイン電流は何の問題も無く識別できている。

書込みパルス幅依存性の試験を行った。パルス高+8Vあるいは-8Vの単発のパルス電圧をゲート電極に加え、オン状態あるいはオフ状態を作る訳であるが、そのパルスの幅を変えた。この書込みパルス印加後ドレイン電圧0.1Vを加えドレイン10 電流を測定した。第1実施例に対する試験結果を第9図に示す。図から分るように、500nsのパルス幅の印加に対してもオン状態のドレイン電流はオフ状態のドレイン電流よりも4桁以上大きかった。

第1実施例の試料の元素組成を二次イオン質量分析法により分析した。シリコン基板の裏側からシリコン、絶縁体バッファ層、強誘電体膜の順に切削し、各構成15 成体における元素を分析した。その結果絶縁体バッファ層には添加物として窒素原子があることを確認した。その量は $2 \times 10^{21} \text{ cm}^{-3}$ であった。先に記述したようにこれは絶縁体バッファ層の中の構造欠陥を低減させリーク電流を小さくすることに役立っているし、Siと絶縁体バッファ層の界面への低誘電率酸化層の形成を抑制することにも役立っている。

20 第2実施例に対しても第7図と同様にゲート電極に電圧を加え、リーク電流 $I_g$ を測定した。その試験結果を第10図に示す。この実施例においても、非特許文献2の20ページ第9図(b)に示される例と比較してリーク電流が小さくなっている。

第2実施例の試料も二次イオン質量分析法により分析した。方法は先述の第125 実施例と同じである。その結果絶縁体バッファ層には添加物として窒素原子があることを確認した。その量は $2 \times 10^{20} \text{ cm}^{-3}$ であった。第1実施例と同様にこれはリーク電流の低減やSiとバッファ層の界面への低誘電率酸化層形成の抑制に役立っている。

[第3～第7実施例、参考例]

絶縁体バッファ層の組成 $x$ 以外は第1実施例及び第2実施例と全く同条件で第3ないし第7実施例を作製した。第3実施例では $x=0.05$ 、第4実施例では $x=0.12$ 、第5実施例では $x=0.48$ 、第6実施例では $x=0.68$ 、第7実施例では $x=0.85$ とした。また、参考実施例として $x=1$ 、すなわち $\text{Al}_2\text{O}_3$ を絶縁体バッファ層とする実施例も作製した。ゲート電圧を掃引してドレイン電流を測定し、MFISトランジスタのメモリウィンドウ幅を測定した。掃引ゲート電圧は $\pm 6\text{V}$ と条件を統一した。第1実施例と第2実施例も合わせてその結果を第11図に示す。図中の数字は、実施例の番号に対応している。図中のRは参考例を示している。 $x$ が0に等しいか0より大きく0.7より小さい範囲で1V以上のメモリウィンドウ幅を得ている。第5実施例に対して、ゲート電圧 $V_g=7\text{V}$ を加えた後 $V_g$ を $0.95\text{V}$ に戻しオン状態を作り $V_g=0.95\text{V}$ の状態を保ち、オン状態のドレイン電流を時間の関数として測定した。また、ゲート電圧 $V_g=-7\text{V}$ を加えた後 $V_g$ を $0.95\text{V}$ に戻しオフ状態を作り $V_g=0.95\text{V}$ の状態を保ち、オフ状態のドレイン電流を時間の関数として測定した。それらの結果を第12図に示す。

#### 15 [第8実施例]

導入酸素ガスの窒素ガスに対するモル比以外は第1実施例と全く同じ条件で第8実施例を作製した。すなわちこの実施例では導入ガスの $\text{N}:\text{O}=1:0.053$ とした。ゲート電圧を掃引してドレイン電流を測定し、MFISトランジスタのメモリウィンドウ幅を測定した。掃引ゲート電圧は $\pm 5\text{V}$ と条件を統一した。第1実施例の結果も合わせてその結果を第13図に示す。図中の数字は、実施例の番号に対応している。

#### [第9実施例]

用いた材料と厚さは、以下の通りである。

- 半導体基板 1 : Si
- 25 絶縁体バッファ層 2 :  $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ 、 $x=0.25$ 、 $y=0$ 、厚さ $10\text{nm}$
- 強誘電体膜 3 :  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、厚さ $400\text{nm}$
- ゲート電極 4 : Pt、厚さ $180\text{nm}$ 、ゲート長（ソース領域からドレイン領域に向かつての長さ） $10\mu\text{m}$
- ソース領域 5 及びドレイン領域 6 の導電の型 : n型

## 領域 7 の導電の型 : p 型

Si の表面処理として、緩衝フッ酸で表面の残留酸化層を除去後、さらに rf プラズマ源を用いて窒化膜を形成した。すなわち、パルスレーザ堆積のための真空容器に取り付けた rf プラズマ源に毎分 1.5 cc の窒素ガスを供給し、rf 出力 200 ワットの条件で窒素プラズマを発生させ、Si の表面に厚さ 1nm のシリコン窒化膜を形成した。窒素プラズマビーム照射時間は 10 分、その間の Si 基板温度は 200°C である。絶縁体バッファ層 2 である  $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$  ( $x=0.25$ ,  $y=0$ ) は、パルスレーザ堆積法で形成した。用いたレーザは KrF エキシマーレーザである。レーザエネルギーは、1 パルス当たり 250mJ、パルスの繰り返し周波数 2Hz、堆積時間 270 秒である。基板温度 200°C である。導入ガスは、窒素ガスである。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。強誘電体膜 3 に相当する  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  も同じくパルスレーザ堆積法で形成した。レーザの種類とエネルギーは、上記絶縁体バッファ層 2 の場合と同じである。パルスの繰り返し周波数 5Hz、堆積時間 27 分である。基板温度 400°C である。導入ガスは、酸素である。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。ゲート電極 4 として Pt を電子ビーム蒸着法で形成した。ゲート電極形成後  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  を結晶化させるため、大気圧酸素中 800°C で 1 時間熱処理した。半導体デバイス作製工程で用いるフォトリソグラフィ、イオンビームエッチング技術等を用いてトランジスタを作製した。

第 9 実施例により作製したトランジスタに対して、ゲート電圧  $V_g=8\text{V}$  を加えた後  $V_g$  を 0.2V に戻しオン状態を作り  $V_g=0.2\text{V}$  の状態を保ち、オン状態のドレイン電流を時間の関数として測定した。また、ゲート電圧  $V_g=-8\text{V}$  を加えた後  $V_g$  を 0.2V に戻しオフ状態を作り  $V_g=0.2\text{V}$  の状態を保ち、オフ状態のドレイン電流を時間の関数として測定した。それらの結果を第 14 図に示す。

## [第 10 実施例]

用いた材料と厚さは、以下の通りである。

半導体基板 1 : Si

絶縁体バッファ層 2 :  $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ 、 $x=0.25$ ,  $y=0$ 、厚さ 10nm

強誘電体膜 3 :  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、厚さ 400nm



ゲート電極 4 : Pt、厚さ 200nm、ゲート長（ソース領域からドレイン領域に向かつての長さ）10 $\mu$ m

ソース領域 5 及びドレイン領域 6 の導電の型 : n 型

領域 7 の導電の型 : p 型

- 5     パルスレーザ堆積法のターゲット材としてHfO<sub>2</sub>とAl<sub>2</sub>O<sub>3</sub>を別々に用意し、絶縁体バッファ層 2 であるHf<sub>1-x</sub>Al<sub>2x</sub>O<sub>2+xy</sub> (x=0.25、y=0)をパルスレーザ堆積法で形成した。用いたレーザはKrFエキシマーレーザである。レーザエネルギーは、1 パルス当たり250mJ、パルスの繰り返し周波数2Hzである。まず最初にHfO<sub>2</sub>を202秒堆積し、次にAl<sub>2</sub>O<sub>3</sub>を68秒堆積した。基板温度200℃である。導入ガスは、窒素ガスである。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。強誘電体膜 3 に相当するSrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>も同じくパルスレーザ堆積法で形成した。レーザの種類とエネルギーは、上記絶縁体バッファ層 2 の場合と同じである。パルスの繰り返し周波数5Hz、堆積時間34分である。基板温度400℃である。導入ガスは、酸素である。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。
- 10     ゲート電極 4 としてPtを電子ビーム蒸着法で形成した。ゲート電極形成後SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>を結晶化させるため、大気圧酸素中800℃で1時間熱処理した。半導体デバイス作製工程で用いるフォトリソグラフィ、イオンビームエッチング技術等を用いてトランジスタを作製した。

- 第 10 実施例により作製したトランジスタに対して、ゲート電圧V<sub>g</sub>=6Vを加えた後
- 20     V<sub>g</sub>を0.9Vに戻しオン状態を作りV<sub>g</sub>=0.9Vの状態を保ち、オン状態のドレイン電流を時間の関数として測定した。また、ゲート電圧V<sub>g</sub>=-6Vを加えた後V<sub>g</sub>を0.9Vに戻しオフ状態を作りV<sub>g</sub>=0.9Vの状態を保ち、オフ状態のドレイン電流を時間の関数として測定した。それらの結果を第 15 図に示す。

## 請求の範囲

1. ソース領域とドレイン領域を有する半導体基板または半導体領域上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム・アルミニウム酸化物を主成分とする絶縁膜であることを特徴とする半導体強誘電体記憶デバイス。
2. 前記絶縁体バッファ層のハフニウム元素とアルミニウム元素の構成比  $\text{Hf}_{1-x} : \text{Al}_x$  を表す  $x$  の範囲が  $0 < x < 0.7$  であることを特徴とする請求の範囲第1項に記載の半導体強誘電体記憶デバイス。
3. 前記絶縁体バッファ層が窒素元素を添加物として含むことを特徴とする請求の範囲第1項に記載の半導体強誘電体記憶デバイス。
4. 窒素元素の含有量が  $1 \times 10^{19} \text{ cm}^{-3}$  から  $1 \times 10^{22} \text{ cm}^{-3}$  の範囲にあることを特徴とする請求の範囲第3項に記載の半導体強誘電体記憶デバイス。
5. 前記半導体基板または前記半導体領域と前記絶縁体バッファ層との間に、酸化膜、窒化膜または酸窒化膜が挿入されていることを特徴とする請求の範囲第1項に記載の半導体強誘電体記憶デバイス。
6. ソース領域とドレイン領域を有する半導体基板または半導体領域上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム酸化物を主成分とする絶縁膜であり、かつ、窒素元素を添加物として含むことを特徴とする半導体強誘電体記憶デバイス。
7. 窒素元素の含有量が  $1 \times 10^{19} \text{ cm}^{-3}$  から  $1 \times 10^{22} \text{ cm}^{-3}$  の範囲にあることを特徴とする請求の範囲第6項に記載の半導体強誘電体記憶デバイス。
8. 前記半導体基板または前記半導体領域と前記絶縁体バッファ層との間に、酸化膜、窒化膜または酸窒化膜が挿入されていることを特徴とする請求の範囲第6項に記載の半導体強誘電体記憶デバイス。
9. ソース領域とドレイン領域を有する半導体基板または半導体領域上に、ハフニウム・アルミニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電

体記憶デバイスの製造方法であって、半導体表面処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含むことを特徴とする半導体強誘電体記憶デバイスの製造方法。

10 10. 前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中にて行うことを特徴とする請求の範囲第9項に記載の半導体強誘電体記憶デバイスの製造方法。

11. 前記窒素ガスを含む雰囲気が、窒素と酸素のモル比が $1:1 \sim 1:10^{-7}$ の混合ガスの雰囲気であることを特徴とする請求の範囲第9項に記載の半導体強誘電体記憶デバイスの製造方法。

10 12. 薄膜形成のための真空容器に基板を置き、該容器から該基板を出すことなく連続して気相成長法により前記絶縁体バッファ層および前記強誘電体膜を形成することを特徴とする請求の範囲第9項に記載の半導体強誘電体記憶デバイスの製造方法。

15 13. 薄膜形成のための真空容器に基板を置き、該容器から該基板を出すことなく連続してパルスレーザ堆積法により前記絶縁体バッファ層および前記強誘電体膜を形成することを特徴とする請求の範囲第9項に記載の半導体強誘電体記憶デバイスの製造方法。

20 14. ハフニウムとアルミニウムを同時に供給して気相成長法により絶縁体バッファ層を形成することを特徴とする請求の範囲第9項に記載の半導体強誘電体記憶デバイスの製造方法。

15. ハフニウムとアルミニウムとが別々の供給源より供給されることを特徴とする請求の範囲第13項に記載の半導体強誘電体記憶デバイスの製造方法。

25 16. ハフニウムとアルミニウムを交互にそれぞれ1乃至複数回供給して、気相成長法により絶縁体バッファ層を形成することを特徴とする請求の範囲第9項に記載の半導体強誘電体記憶デバイスの製造方法。

17. 最初にハフニウムを供給することを特徴とする請求の範囲第16項に記載の半導体強誘電体記憶デバイスの製造方法。

18. 強誘電体膜形成の間に強誘電体膜形成のための真空容器の中、強誘電体膜形成後強誘電体膜形成のための真空容器の中、強誘電体膜形成後ゲート電極

形成前にアニール炉の中またはゲート電極形成後アニール炉の中のいずれかのタイミングおよび環境において、少なくとも1回熱処理することを特徴とする請求の範囲第9項に記載の半導体強誘電体記憶デバイスの製造方法。

19. ソース領域とドレイン領域を有する半導体基板または半導体領域上に、ハフニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスの製造方法であって、半導体表面処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含み、前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中に行うことを特徴とする半導体強誘電体記憶デバイスの製造方法。

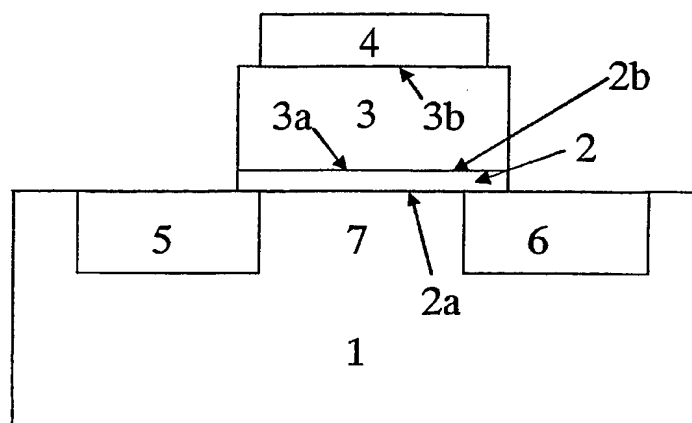
20. 前記窒素ガスを含む雰囲気が、窒素と酸素のモル比が $1:1 \sim 1:10^{-7}$ の混合ガスの雰囲気であることを特徴とする請求の範囲第19項に記載の半導体強誘電体記憶デバイスの製造方法。

21. 薄膜形成のための真空容器に基板を置き、該容器から該基板を出すことなく連続して気相成長法により前記絶縁体バッファ層および前記強誘電体膜を形成することを特徴とする請求の範囲第19項に記載の半導体強誘電体記憶デバイスの製造方法。

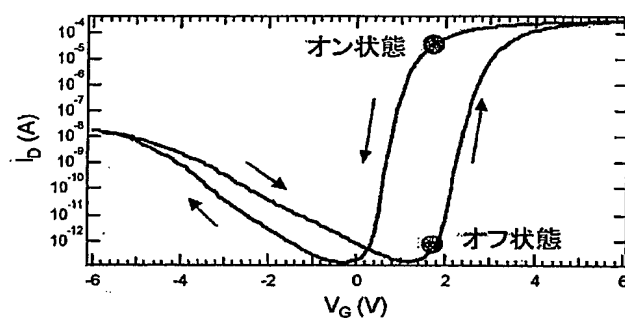
22. 薄膜形成のための真空容器に基板を置き、該容器から該基板を出すことなく連続してパルスレーザ堆積法により前記絶縁体バッファ層および前記強誘電体膜を形成することを特徴とする請求の範囲第19項に記載の半導体強誘電体記憶デバイスの製造方法。

23. 強誘電体膜形成の間に強誘電体膜形成のための真空容器の中、強誘電体膜形成後強誘電体膜形成のための真空容器の中、強誘電体膜形成後ゲート電極形成前にアニール炉の中またはゲート電極形成後アニール炉の中のいずれかのタイミングおよび環境において、少なくとも1回熱処理することを特徴とする請求の範囲第19項に記載の半導体強誘電体記憶デバイスの製造方法。

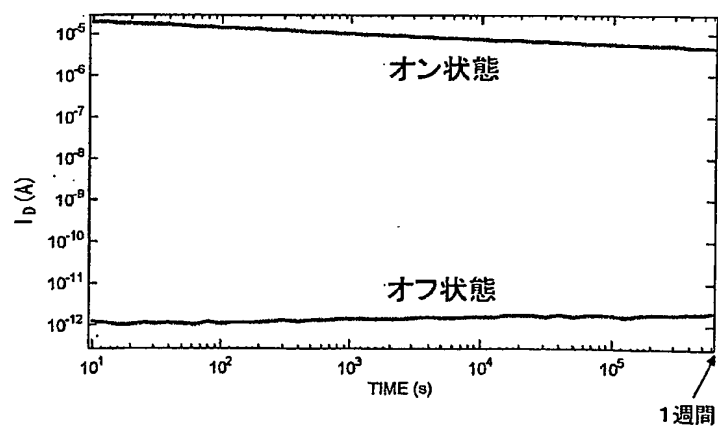
第1図



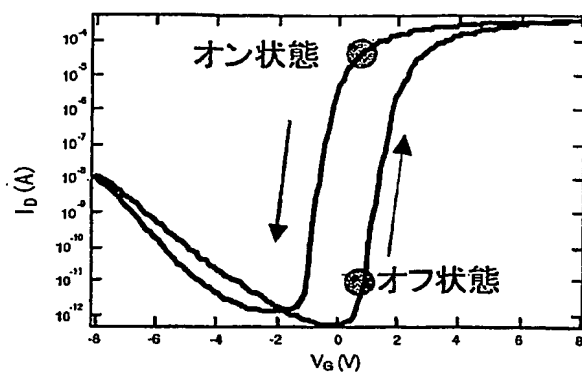
第2図



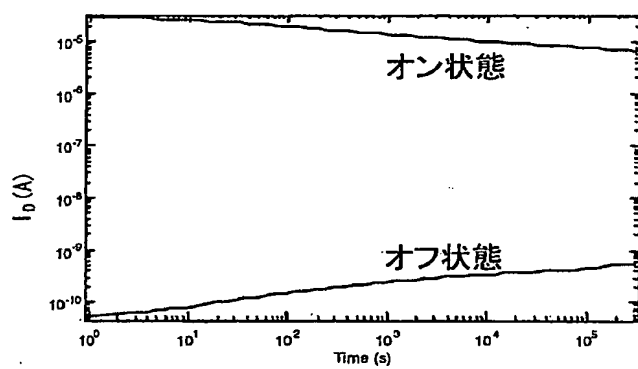
第3図



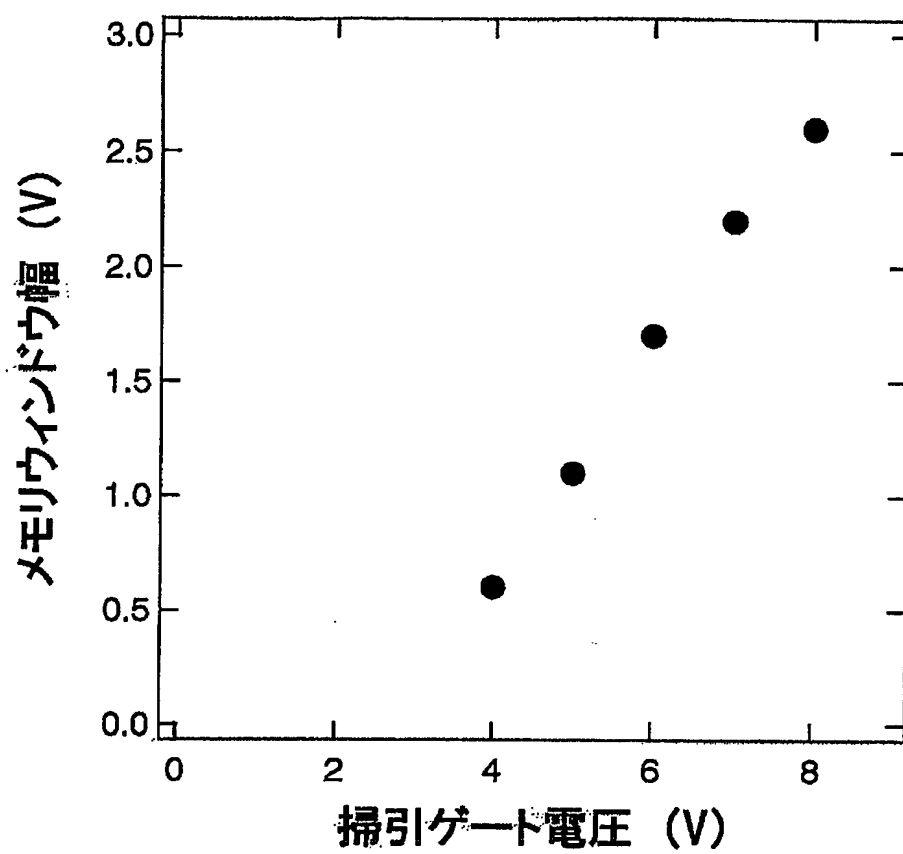
第4図



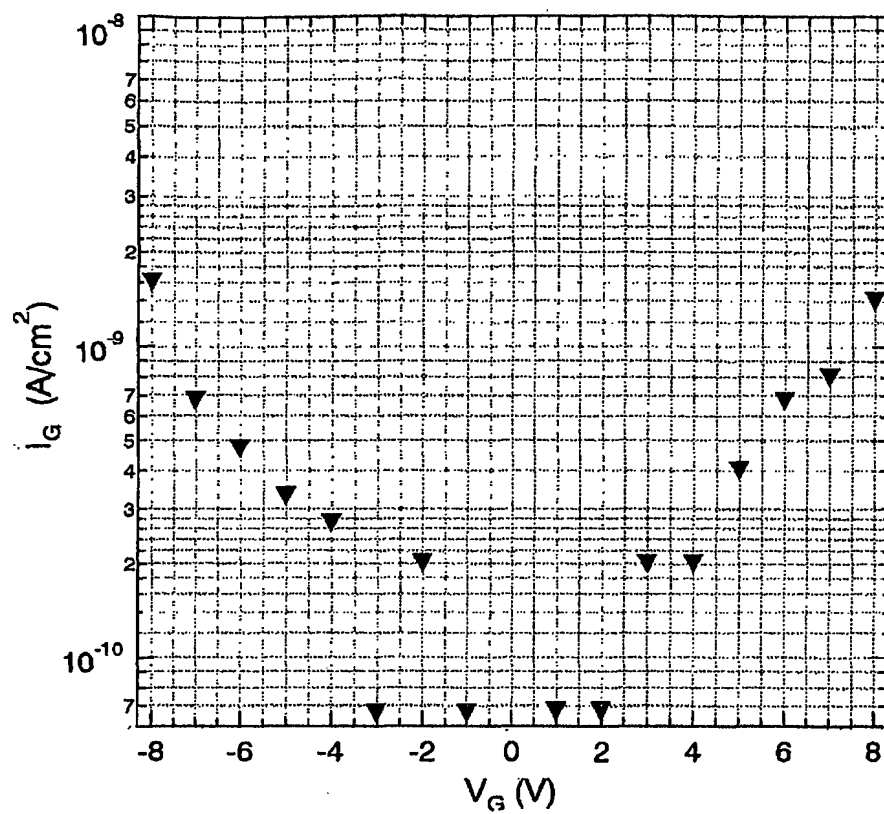
第5図



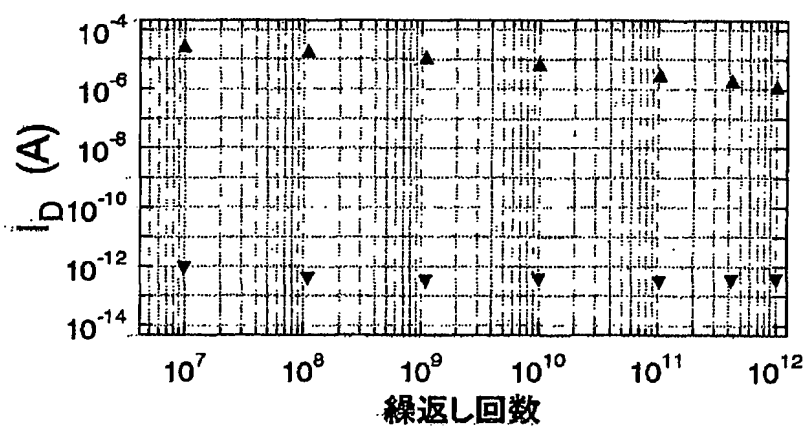
第6図



第7図

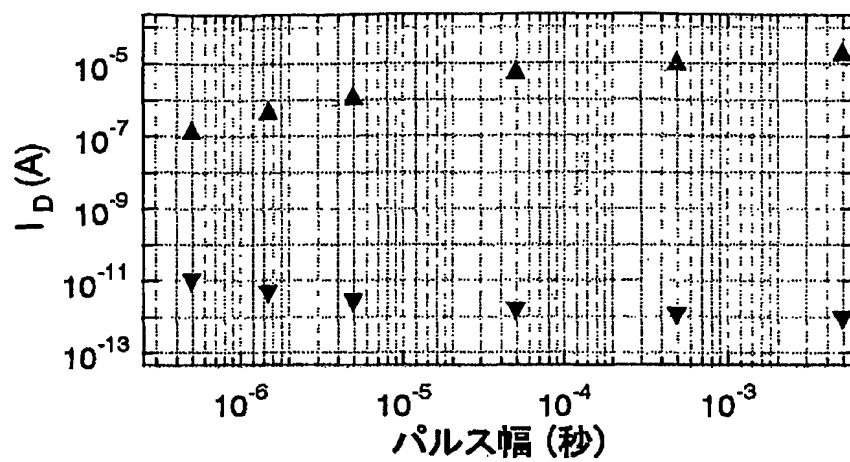


第8図

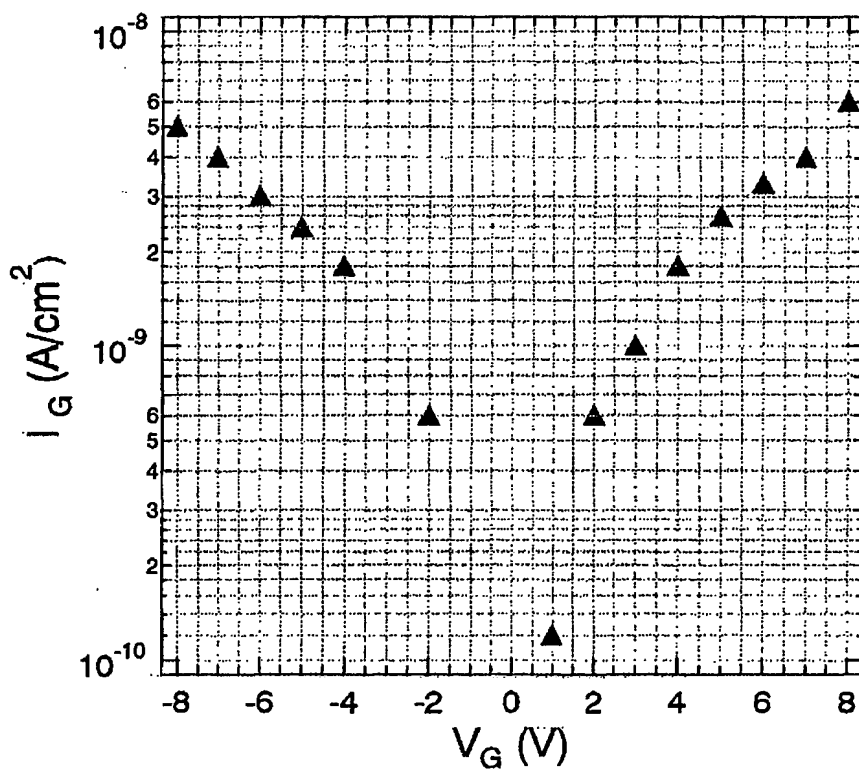




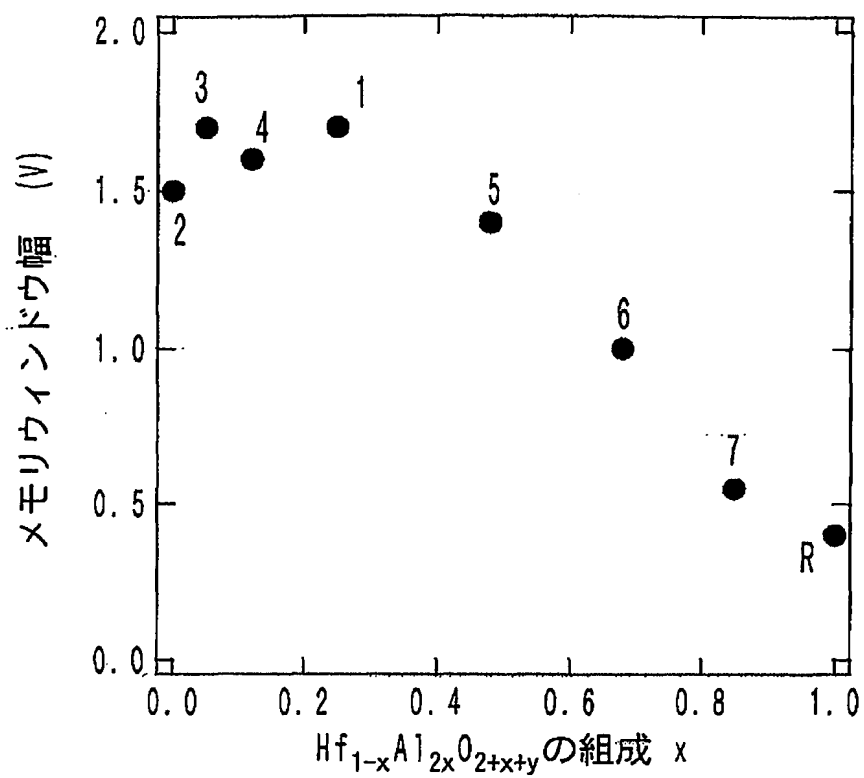
第9図



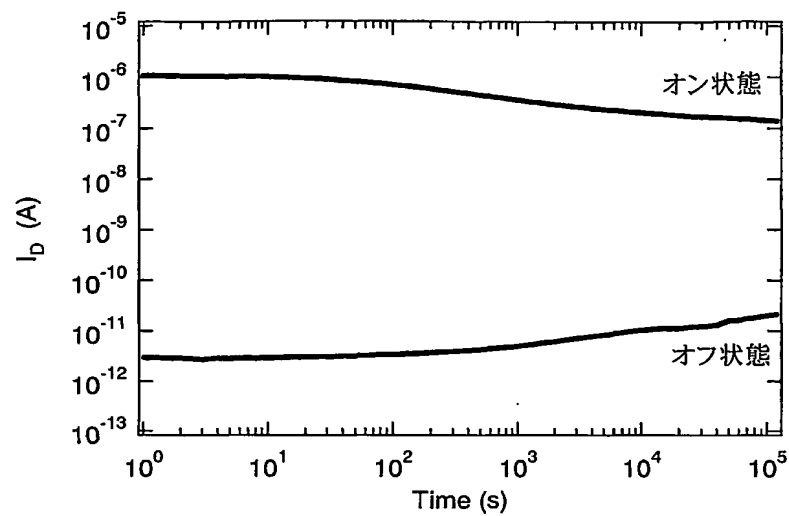
第10図



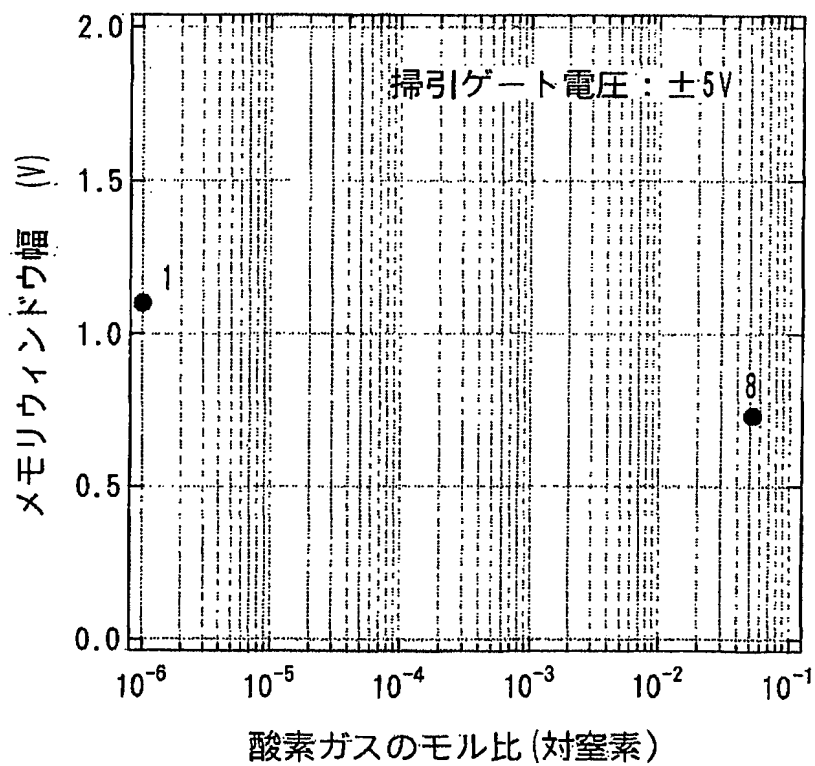
第 1 1 図



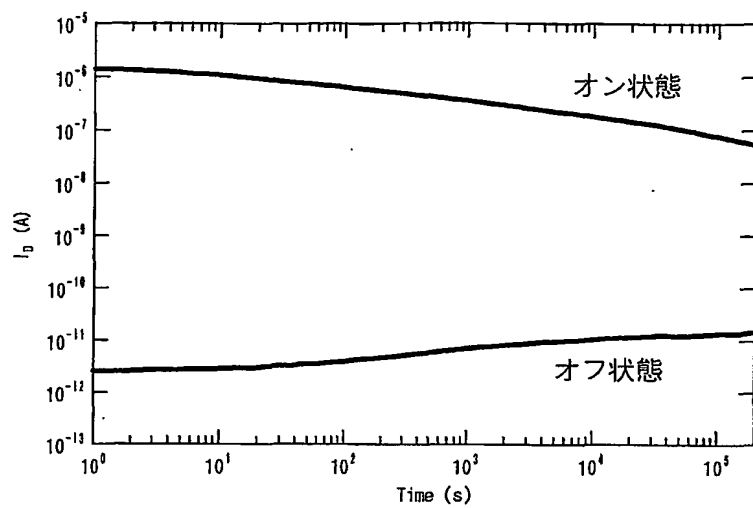
第 1 2 図



第 1 3 図



第 1 4 図



第 1 5 図

